

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of :

Min Kim et al. :

Serial No.: [NEW]

: Attn: Applications Branch

Filed: November 8, 2001

: Attorney Docket No.: SEC.853

For: TRENCH ISOLATION STRUCTURE HAVING A CURVILINEAR INTERFACE AT  
UPPER CORNERS OF THE TRENCH ISOLATION REGION, AND METHOD OF  
MANUFACTURING THE SAME



*Strong*  
*02*  
*4202*

CLAIM OF PRIORITY

Honorable Assistant Commissioner for Patents and Trademarks,  
Washington, D.C. 20231

Sir:

Applicants, in the above-identified application, hereby claim the priority date  
under the International Convention of the following Korean application:

Appln. No. 2000-66433

filed November 9, 2000

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, PLLC

Adam C. Volentine  
Registration No. 33,289

12200 Sunrise Valley Drive, Suite 150  
Reston, Virginia 20191  
Tel. (703) 715-0870  
Fax. (703) 715-0877

Date: November 8, 2001

대한민국 특허청  
KOREAN INDUSTRIAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Industrial  
Property Office.

출원번호 : 특허출원 2000년 제 66433 호  
Application Number

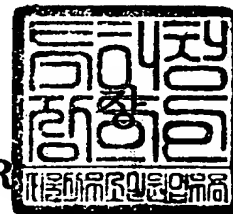
출원년월일 : 2000년 11월 09일  
Date of Application

출원인 : 삼성전자 주식회사  
Applicant(s)

2001 년 01 월 05 일

특 허 청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0003
【제출일자】	2000.11.09
【국제특허분류】	H01L
【발명의 명칭】	트렌치 소자분리막 및 그 제조방법
【발명의 영문명칭】	Trench isolation layer and manufacturing method thereof
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【대리인】	
【성명】	이래호
【대리인코드】	9-1999-000226-8
【포괄위임등록번호】	2000-002818-3
【발명자】	
【성명의 국문표기】	김민
【성명의 영문표기】	KIM,Min
【주민등록번호】	661009-1052315
【우편번호】	449-900
【주소】	경기도 용인시 기흥읍 영덕리 신일아파트 201동 103호
【국적】	KR
【발명자】	
【성명의 국문표기】	박선후
【성명의 영문표기】	PARK,Sun Hu
【주민등록번호】	631027-1702211

**【우편번호】** 449-840  
**【주소】** 경기도 용인시 수지읍 풍덕천리 한성아파트 101동 1202호  
**【국적】** KR  
**【심사청구】** 청구  
**【취지】** 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인  
 이영필 (인) 대리인  
 정상빈 (인) 대리인  
 이래호 (인)  
**【수수료】**  
**【기본출원료】** 20 면 29,000 원  
**【가산출원료】** 7 면 7,000 원  
**【우선권주장료】** 0 건 0 원  
**【심사청구료】** 23 항 845,000 원  
**【합계】** 881,000 원  
**【첨부서류】** 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 트렌치 소자분리막 및 그 제조방법에 관한 것이다. 본 발명은 소자분리막 양측 상부 코너의 반도체 기판과의 경계면이 라운드된 형태를 갖는 트렌치 소자분리막 및 그 제조방법을 제공한다. 본 발명에 따르면, 소자분리막 양측 상부 코너에 전계가 집중되는 현상을 방지할 수 있다.

**【대표도】**

도 6

**【명세서】****【발명의 명칭】**

트렌치 소자분리막 및 그 제조방법{Trench isolation layer and manufacturing method thereof}

**【도면의 간단한 설명】**

도1 내지 도 5는 종래의 트렌치 소자분리막 제조방법을 공정 순서에 따라 도시한 단면도들이다.

도 6 및 도 7은 본 발명의 바람직한 실시예에 따른 트렌치 소자분리막을 도시한 단면도들이다.

도 8 내지 도 14는 본 발명의 바람직한 일 실시예에 따른 트렌치 소자분리막 제조방법을 공정 순서에 따라 도시한 단면도들이다.

도 15 및 도 16은 본 발명의 바람직한 다른 실시예에 따른 트렌치 소자분리막 제조방법을 공정 순서에 따라 도시한 단면도들이다.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<5> 본 발명은 반도체 소자 및 그 제조방법에 관한 것으로, 더욱 상세하게는 트렌치 소자분리막 및 그 제조방법에 관한 것이다.

<6> 반도체 소자의 제조공정에서 소자들간을 전기적으로 분리시키기 위한 소자분리 기술은 종래에는 국부적 산화(LOCOS) 공정이 적용되었다. 그러나, 최근의 고집적 반도체

소자에서는 실리콘 기판에 좁은 트렌치를 형성하고 이 트렌치에 절연물질을 채워서 소자들을 전기적으로 분리시키는 이른바 쉘로우 트렌치 소자분리(Shallow Trench Isolation; STI) 공정이 적용되고 있다.

- <7> 도 1 내지 도 5는 STI 공정을 적용한 종래의 트렌치 소자분리막 제조방법을 공정 순서에 따라 도시한 단면도들이다.
- <8> 도 1을 참조하면, 반도체 기판(14) 상에 패드산화막 및 실리콘 질화막으로 이루어진 하드 마스크층을 순차적으로 증착한다. 반도체 기판(14)은 실리콘 기판(10), 베리드 산화막(11) 및 단결정 실리콘층(12)이 순차적으로 형성된 SOI(Silicon On Insulator) 구조의 기판이다. 통상의 사진 식각 공정을 이용하여 하드 마스크층 및 패드산화막을 차례로 식각하여 소자분리막이 형성될 영역의 반도체 기판(14)을 노출시키면서, 패드산화막 패턴(16)과 하드 마스크층 패턴(18)을 형성한다.
- <9> 도 2를 참조하면, 노출된 영역의 반도체 기판(14)을 이방성 식각하여 소자분리막이 형성될 영역에 트렌치(20)를 형성한다.
- <10> 도 3을 참조하면, 상기 트렌치의 내벽에 100Å 정도 두께의 내벽 산화막(22)을 형성한다. 내벽 산화막(22)은 반도체 기판의 이방성 식각 공정에서 발생한 반도체 기판의 손상을 보상하기 위한 것이다.
- <11> 도 4를 참조하면, 상기 결과물 상에 고밀도 플라즈마(High Density Plasma; HDP) 산화막 또는 USG막(Undoped Silica Glass) 등의 산화막(24)을 증착하여 트렌치를 매립한 다음, 화학기계적 연마(Chemical Mechanical Polishing)를 하여 상기 결과물을 평탄화한다.

<12> 도 5를 참조하면, 하드 마스크층 패턴(18a)을 습식 식각 공정을 이용하여 제거하여 트렌치 소자분리막을 형성한다.

<13> 그러나, 이러한 종래의 트렌치 소자분리막 제조방법은, 상기 트렌치에 매립된 산화막의 스트레스 또는 게이트 산화막 형성공정 등의 후속 열공정에 의하여 트렌치에 매립된 산화막의 부피가 팽창하여 반도체 기판에 실리콘 전위(dislocation)를 유발하는 문제가 있다. 이러한 실리콘 전위 현상은 전자를 유출시키는 경로가 되어 누설전류의 원인이 된다. 또한 종래의 트렌치 소자분리막 제조방법에 의하면, 소자분리막 양측 상부 코너에 있는 반도체 기판과의 경계면이 매우 가파른 프로파일을 갖게 되므로, 전계가 집중되어 브레이크다운(Breakdown)이 일어나기 쉽다.

#### 【발명이 이루고자 하는 기술적 과제】

<14> 본 발명이 이루고자 하는 기술적 과제는 소자분리막 양측 상부 코너에 전계가 집중되는 현상을 억제할 수 있는 트렌치 소자분리막을 제공함에 있다.

<15> 본 발명이 이루고자 하는 다른 기술적 과제는 소자분리막 양측 상부 코너의 반도체 기판과의 경계면이 라운드 형태를 갖는 트렌치 소자분리막 제조방법을 제공함에 있다.

#### 【발명의 구성 및 작용】

<16> 상기 기술적 과제를 달성하기 위하여 본 발명은, 소자분리막 양측 상부 코너의 반도체 기판과의 경계면이 라운드된 형태를 갖는 것을 특징으로 하는 트렌치 소자분리막을 제공한다.

<17> 상기 소자분리막은, 반도체 기판의 트렌치 영역에 매립되어 있는 제1 산화막과, 상기 제1 산화막을 둘러싸는 완충막 및 상기 완충막과 접하면서 상기 트렌치 영역의 양측



상부 코너에 위치하고, 상기 반도체 기판과의 경계면의 모서리 부분이 라운드된 형태를 갖는 열산화막을 포함하는 것일 수 있다.

<18> 또한 상기 소자분리막은, 반도체 기판의 트렌치 영역에 매립되어 있는 제1 산화막과, 상기 제1 산화막을 둘러싸는 완충막 및 상기 완충막과 접하면서 상기 트렌치 영역의 양측 상부 코너에 위치하고, 상기 반도체 기판과의 경계면이 라운드된 버즈빅 형태를 갖는 열산화막을 포함하는 것일 수 있다.

<19> 상기 다른 기술적 과제를 달성하기 위하여 본 발명은, 먼저 (a) 반도체 기판 상에 패드산화막 및 하드 마스크층을 순차적으로 증착한 후, (b) 상기 하드 마스크층 및 상기 패드산화막을 사진 식각 공정을 이용하여 패터닝하여 하드 마스크층 패턴 및 패드산화막 패턴을 형성한다. 이어서, (c) 상기 하드 마스크층을 마스크로 상기 반도체 기판의 일부를 식각하여 얇은 트렌치를 형성한다. 이어서, (d) 상기 얇은 트렌치의 내벽에 열산화막을 형성한다. 이어서, (e) 상기 하드 마스크층 패턴을 마스크로 상기 열산화막과 상기 반도체 기판을 식각하여 깊은 트렌치를 형성하고, (f) 상기 깊은 트렌치가 형성된 결과물 전면에 단차를 따라 완충막을 형성한 후, (g) 상기 완충막이 형성된 깊은 트렌치에 제1 산화막을 채운다. 이어서, (h) 상기 결과물을 평탄화한 후, (i) 상기 하드 마스크층 패턴을 제거하여 소자분리막을 형성한다.

<20> 상기 (b) 단계 후 상기 (c) 단계 전에, 상기 하드 마스크층 패턴 및 상기 패드산화막 패턴의 측벽에 스페이서를 형성하는 단계를 더 포함할 수 있고, 상기 (c) 단계는 상기 하드 마스크층 패턴과 상기 스페이서를 마스크로 사용하여 얇은 트렌치를 형성하고, 상기 (e) 단계는 상기 하드 마스크층 패턴과 상기 스페이서를 마스크로 사용하여 깊은 트렌치를 형성할 수 있다.

- <21>       상기 (f) 단계 후 (g) 단계 전에, 상기 완충막이 형성된 결과물 상에 단차를 따라 라이너를 형성하는 단계를 더 포함할 수 있다.
- <22>       상기 라이너가 형성된 결과물 상에 단차를 따라 제2 산화막을 형성하는 단계를 더 포함할 수 있다.
- <23>       상기 얇은 트렌치의 깊이는 단결정 실리콘층의 두께보다 작도록 형성하는 것이 바람직하다.
- <24>       상기 깊은 트렌치는 단결정 실리콘층과 베리드 산화막 사이의 계면 또는 베리드 산화막과 실리콘 기판 사이의 계면의 깊이까지 형성할 수 있다.
- <25>       또한, 상기 다른 기술적 과제를 달성하기 위하여 본 발명은, 먼저 (a) 반도체 기판 상에 패드산화막 및 하드 마스크층을 순차적으로 증착한 후, (b) 상기 하드 마스크층 및 상기 패드산화막을 사진 식각 공정을 이용하여 패터닝하여 하드 마스크층 패턴 및 패드산화막 패턴을 형성한다. 이어서, (c) 소자분리막이 형성될 영역인 상기 반도체 기판에 열산화막을 형성한 후, (d) 상기 하드 마스크층 패턴을 마스크로 상기 열산화막 및 상기 반도체 기판을 식각하여 깊은 트렌치를 형성한다. 이어서, (e) 상기 깊은 트렌치가 형성된 결과물 전면에 단차를 따라 완충막을 형성한다. 이어서, (f) 상기 완충막이 형성된 깊은 트렌치에 제1 산화막을 채운 후, (g) 상기 결과물을 평탄화한다. 이어서, (h) 상기 하드 마스크층 패턴을 제거하여 소자분리막을 형성한다.
- <26>       상기 (b) 단계 후 상기 (c) 단계 전에, 상기 하드 마스크층 패턴 및 상기 패드산화막 패턴의 측벽에 스페이서를 형성하는 단계를 더 포함할 수 있고, 상기 (d) 단계는 상기 하드 마스크층 패턴과 상기 스페이서를 마스크로 사용하여 깊은 트렌치를 형성할 수

있다.

- <27>      상기 (e) 단계 후 (f) 단계 전에, 상기 완충막이 형성된 결과물 상에 단차를 따라 라이너를 형성하는 단계를 더 포함할 수 있다.
- <28>      상기 라이너가 형성된 결과물 상에 단차를 따라 제2 산화막을 형성하는 단계를 더 포함할 수 있다.
- <29>      상기 깊은 트렌치는 단결정 실리콘층과 베리드 산화막 사이의 계면 또는 베리드 산화막과 실리콘 기판 사이의 계면의 깊이까지 형성할 수 있다.
- <30>      이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예를 상세하게 설명하기로 한다. 그러나, 이하의 실시예는 이 기술분야의 통상적인 지식을 가진 자에게 본 발명이 충분히 이해되도록 제공되는 것으로서 본 발명의 범위를 한정하는 것으로 해석되어져서는 아니된다. 이하의 설명에서 어떤 층이 다른 층의 위에 존재한다고 기술될 때, 이는 다른 층의 바로 위에 존재할 수도 있고, 그 사이에 제3의 층이 게재될 수도 있다. 또한 도면에서 각 층의 두께나 크기는 설명의 편의 및 명확성을 위하여 과장되었다. 도면 상에서 동일 부호는 동일한 요소를 지칭한다.
- <31>      도 6 및 도 7은 본 발명의 바람직한 실시예에 따른 트렌치 소자분리막을 도시한 단면도들이다. 본 발명의 바람직한 실시예에 따른 트렌치 소자분리막은 소자 분리막 상부 코너의 반도체 기판과의 경계면이 라운드된 형태를 갖는다.
- <32>      <실시예1>
- <33>      도 6은 본 발명의 바람직한 일 실시예에 따른 트렌치 소자분리막을 도시한 단면도이다.

- <34> 도 6을 참조하면, 본 발명의 바람직한 일 실시예에 따른 소자분리막은, 반도체 기판(104)의 트렌치(116) 영역에 제1 산화막(120b)이 매립되어 있고, 완충막(118a)이 제1 산화막(120b)을 둘러싸고 있으며, 열산화막(114a)이 완충막(118a)과 접하면서 트렌치(116) 영역의 양측 상부 코너에 위치하고, 열산화막(114a)과 반도체 기판(104)과의 경계면은 그 모서리 부분이 라운드된 형태로 이루어져 있다.
- <35> 반도체 기판(104)은 실리콘 기판(100), 베리드 산화막(Buried Oxide)(101) 및 단결정 실리콘층(102)이 순차적으로 형성된 SOI 구조의 기판이다.
- <36> 트렌치(116)는 단결정 실리콘층(102)과 베리드 산화막(101) 사이의 계면 또는 베리드 산화막(101)과 실리콘 기판(102) 사이의 계면의 깊이까지 형성되어 있을 수 있다.
- <37> 완충막(118a)은 고온 산화막(High Temperature Oxide), 중온 산화막(Middle Temperature Oxide) 또는 PE-산화막(Plasma Enhanced Oxide)으로 이루어지는 것이 바람직하다.
- <38> 제1 산화막(120b)은 USG(Undoped Silicate Glass)막 또는 HDP(High Density Plasma Oxide)막으로 이루어지는 것이 바람직하다.
- <39> 완충막(118a)과 제1 산화막(120b) 사이에는 라이너(미도시)가 더 형성되어 있을 수 있으며, 라이너는 실리콘 질화막 또는 붕소 질화막으로 이루어지는 것이 바람직하다. 라이너는 트렌치에 매립된 산화막의 스트레스를 흡수하고, 산소가 완충막 쪽으로 침투하는 것을 방지함으로써 실리콘 전위현상의 유발을 억제하고, 결과적으로 누설전류의 원인을 제거하는 역할을 할 수 있다. 라이너와 제1 산화막(120b) 사이에 제2 산화막(미도시)이 더 형성되어 있을 수 있으며, 제2 산화막은 고온 산화막, 중온 산화막 또는 PE-산화

막으로 이루어지는 것이 바람직하다.

<40> <실시예2>

<41> 도 7은 본 발명의 바람직한 다른 실시예에 따른 트렌치 소자분리막을 도시한 단면도이다.

<42> 도 7을 참조하면, 본 발명의 바람직한 다른 실시예에 따른 소자분리막은, 반도체 기판(204)의 트렌치 영역에 제1 산화막(220b)이 매립되어 있고, 완충막(218a)이 제1 산화막(220b)을 둘러싸고 있으며, 열산화막(214a)이 완충막(218a)과 접하면서 트렌치(216) 영역의 양측 상부 코너에 위치하고, 열산화막(214a)과 반도체 기판(204)과의 경계면은 라운드된 버즈빅(bird's beak) 형태로 이루어져 있다.

<43> 반도체 기판(204)은 실리콘 기판, 베리드 산화막 및 단결정 실리콘층이 순차적으로 형성된 SOI 구조의 기판이다.

<44> 트렌치(216)는 단결정 실리콘층(202)과 베리드 산화막(201) 사이의 계면 또는 베리드 산화막(201)과 실리콘 기판(200) 사이의 계면의 깊이까지 형성되어 있을 수 있다.

<45> 완충막(218a)은 고온 산화막, 중온 산화막 또는 PE-산화막으로 이루어지는 것이 바람직하다.

<46> 제1 산화막(220b)은 USG막 또는 HDP막으로 이루어지는 것이 바람직하다.

<47> 완충막(218a)과 제1 산화막(220b) 사이에는 라이너(미도시)가 더 형성되어 있을 수 있으며, 라이너는 실리콘 질화막 또는 붕소 질화막으로 이루어지는 것이 바람직하다. 라이너는 트렌치에 매립된 산화막의 스트레스를 흡수하고, 산소가 완충막 쪽으로 침투하는 것을 방지함으로써 실리콘 전위현상의 유발을 억제하고, 결과적으로 누설전류의 원인

을 제거하는 역할을 할 수 있다. 라이너와 제1 산화막(220b) 사이에 제2 산화막(미도시)이 더 형성되어 있을 수 있으며, 제2 산화막은 고온 산화막, 중온 산화막 또는 PE-산화막으로 이루어지는 것이 바람직하다.

<48> 이하, 본 발명의 바람직한 실시예에 따른 트렌치 소자분리막 제조방법을 설명하기로 한다.

<49> <실시예1>

<50> 도 8 내지 도 14는 본 발명의 바람직한 일 실시예에 따른 트렌치 소자분리막 제조방법을 공정 순서에 따라 도시한 단면도들이다.

<51> 도 8을 참조하면, 반도체 기판(104) 상에 패드산화막 및 하드 마스크층을 순차적으로 증착한다. 상기 패드산화막은 실리콘 산화막으로 이루어지는 것이 바람직하다. 상기 패드산화막은 50Å 내지 300Å 정도의 두께로 형성하는 것이 바람직하고, 더욱 바람직하게는 100Å 정도의 두께로 형성한다. 상기 하드 마스크층은 1000Å 내지 3000Å 정도의 두께로 형성하는 것이 바람직하다. 상기 하드 마스크층은 실리콘 질화막층, 실리콘 질화막과 산화막이 순차적으로 형성된 층, 또는 이들 상에 반사방지층(Anti-Reflective Layer) 또는 반사방지고팅막(Anti-Reflective Coating)이 형성된 층일 수 있다. 또한 상기 하드 마스크층은 실리콘 질화막과 반사방지층 또는 반사방지고팅막이 순차적으로 형성된 층 및 이들 상에 산화막이 형성된 층일 수도 있다. 이어서, 상기 하드 마스크층 및 패드산화막을 통상의 사진 식각 공정을 이용하여 패터닝하여 하드 마스크층 패턴(108) 및 패드산화막 패턴(106)을 형성한다. 반도체 기판(104)은 실리콘 기판(100), 베리드 산화막(101) 및 단결정 실리콘층(102)이 순차적으로 형성된 SOI(Silicon On Insulator) 구

조의 기관이다.

<52> 다음에, 상기 결과물 상에 고온 산화막, 중온 산화막 또는 PE-산화막과 같은 산화막을 증착한 후 이방성 식각하여 하드 마스크층 패턴(108)과 패드산화막 패턴(106)의 측벽에 스페이서(110)를 형성한다. 본 실시예에서는 스페이서(110)를 형성하여 후속 공정을 진행하였으나, 스페이서를 형성하지 않고 후속 공정을 진행할 수도 있음은 물론이다. 이하, 스페이서를 형성한 후, 후속 공정을 진행하는 트렌치 소자분리막 제조방법을 예를 들어 설명하기로 한다.

<53> 도 9를 참조하면, 하드 마스크층 패턴(108) 및 스페이서(110)를 마스크로 소자분리막이 형성될 영역인 반도체 기관(104)에 얇은 트렌치(112)를 형성한다. 얇은 트렌치(112)의 깊이는 단결정 실리콘층(102)의 두께보다 작도록 형성하는 것이 바람직하다.

<54> 도 10을 참조하면, 얇은 트렌치(112)의 내벽에 열산화막(114)을 형성한다. 예컨대, 얇은 트렌치(112)된 반도체 기관(104)을 열산화시키게 되면, 실리콘과 산소가 반응하여 얇은 트렌치(112)된 반도체 기관(104) 표면을 기준으로 내측 및 외측 방향으로 산화막이 성장되게 되며, 최종에는 도 10에 도시된 바와 같은 일정 두께를 갖는 열산화막(114)이 형성된다. 이때, 열산화막(114)과 반도체 기관(104)과의 경계면은 그 모서리 부분이 라운드된 형태로 이루어진다. 열산화막(114)은 20Å 내지 500Å 정도의 두께로 형성하는 것이 바람직하고, 더욱 바람직하게는 110Å 정도의 두께로 형성한다.

<55> 도 11을 참조하면, 하드 마스크층 패턴(108)과 스페이서(110)를 마스크로 열산화막(114) 및 반도체 기관(104)을 식각하여 깊은 트렌치(116)를 형성한다. 깊은 트렌치(116)는 단결정 실리콘층(102)과 베리드 산화막(101) 사이의 계면의 깊이까지 형성한다. 또한 깊은 트렌치(116)는 베리드 산화막(101)과 실리콘 기관(100)의 계면의 깊이까지 형성할

수도 있다.

<56> 도 12를 참조하면, 깊은 트렌치(116)가 형성된 결과물의 전면에 단차를 따라 완충막(118)을 형성한다. 완충막(118)은 고온 산화막, 중온 산화막 또는 PE-산화막과 같은 산화막으로 형성하는 것이 바람직하다. 완충막(118) 상에 단차를 따라 라이너(미도시)를 형성할 수도 있다. 상기 라이너는 실리콘 질화막 또는 붕소 질화막(BN)으로 형성하는 것이 바람직하다. 라이너가 형성된 상기 결과물 상에 단차를 따라 제1 산화막(미도시)을 형성할 수도 있다. 상기 제1 산화막은 고온 산화막, 중온 산화막 또는 PE-산화막으로 형성하는 것이 바람직하다. 한편, 트렌치에 매립된 산화막의 스트레스 또는 게이트 산화막 형성 등의 후속 열공정에 의해 트렌치에 매립된 산화막의 부피가 팽창하여 반도체 기판에 실리콘 전위(dislocation)를 유발할 수 있는데, 이러한 실리콘 전위 현상은 전자를 유출시키는 경로가 되어 누설전류의 원인이 된다. 이와 같은 라이너는 트렌치에 매립된 산화막의 스트레스를 흡수하고, 산소가 완충막(118) 쪽으로 침투하는 것을 방지함으로써 실리콘 전위현상의 유발을 억제하고, 결과적으로 누설전류의 원인을 제거하는 역할을 할 수 있다.

<57> 도 13을 참조하면, 완충막(118)이 형성된 결과물 상에, USG막 또는 HDP막 등의 제2 산화막(120)을 증착하여 트렌치(116)를 매립한다.

<58> 도 14를 참조하면, 트렌치(116)에 매립된 제2 산화막(120)을 화학기계적 연마(CMP) 또는 에치백 공정을 진행하여 상기 결과물을 평탄화한다.

<59> 이어서, 하드 마스크층 패턴(108)을 습식 식각 공정을 이용하여 제거하면, 도 6에 도시된 바와 같은 소자분리막을 형성할 수 있다. 실리콘 질화막으로 이루어진 하드 마스크



크층 패턴은 예를 들면, 인산 용액( $H_3PO_4$ ) 을 사용하여 제거할 수 있다.

<60> <실시예2>

<61> 도 15 내지 16은 본 발명의 바람직한 다른 실시예에 따른 트렌치 소자분리막 제조 방법을 도시한 단면도이다.

<62> 도 15를 참조하면, 반도체 기판(204) 상에 패드산화막 및 하드 마스크층을 순차적으로 증착하고, 패터닝하여 하드 마스크층 패턴(208)과 패드산화막 패턴(206)을 형성한 후, 스페이서(210)를 형성하는 공정은 상기 제1 실시예의 경우와 동일하다. 본 실시예에서도 스페이서를 형성하지 않고 후속 공정을 진행할 수 있음은 물론이다.

<63> 이어서, 소자분리막이 형성될 영역인 반도체 기판(204)에 열산화막(212)을 형성한다. 즉, 소자분리막이 형성될 영역인 반도체 기판(204)을 열산화시키게 되면, 실리콘과 산소가 반응하여 반도체 기판(204) 표면을 기준으로 내측과 외측 방향으로 산화막이 성장되어 일정 두께를 갖는 열산화막(212)이 형성된다. 이때, 열산화막(212)의 양측 끝부분은 라운드된 형태의 버즈빅 모양을 띠게 된다.

<64> 도 16을 참조하면, 하드 마스크층 패턴(208)과 스페이서(210)를 마스크로 열산화막(212)과 반도체 기판(204)을 식각하여 깊은 트렌치(216)를 형성한다. 깊은 트렌치(216)는 단결정 실리콘층(202)과 베리드 산화막(201) 사이의 계면의 깊이까지 형성한다. 또한 깊은 트렌치(214)는 베리드 산화막(201)과 실리콘 기판(200) 사이의 계면의 깊이까지 형성할 수도 있다. 깊은 트렌치(216)가 형성되게 되면, 트렌치(216) 양측 상부 코너에 있는 열산화막(214a)은 도 16에 도시된 바와 같이 반도체 기판(204)과의 경계면이 라운드된 버즈빅 모양을 띠게 된다.

<65> 이후의 공정, 즉 완충막을 형성하고, 깊은 트렌치(216)에 산화막을 매립하여 평탄화한 후, 하드 마스크층 패턴(208)을 제거하여 트렌치 소자분리막을 제조하는 공정은 상기 제1 실시예의 경우와 동일하다. 본 실시예에 따라 형성된 소자분리막은 도 7에 도시되어 있다.

<66> 이상, 본 발명의 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않으며, 본 발명의 기술적 사상내에서 당 분야에서 통상의 지식을 가진 자에 의하여 많은 변형이 가능함은 명백하다.

#### 【발명의 효과】

<67> 상술한 본 발명에 의한 트렌치 소자분리막 및 그 제조방법에 의하면, 소자분리막 양측 상부 코너에 있는 반도체 기판과의 경계면의 프로파일을 개선할 수 있다. 즉, 소자분리막 양측 상부 코너에 전계가 집중되는 현상을 방지할 수 있다. 또한, 트렌치에 매립된 산화막의 스트레스 또는 게이트 산화막 형성공정 등의 후속 열공정에 의하여 트렌치에 매립된 산화막의 부피가 팽창하여 반도체 기판에 실리콘 전위를 유발하는 문제는, 완충막과 트렌치를 매립하는 산화막 사이에 라이너를 형성하여 억제할 수 있다.

**【특허청구범위】****【청구항 1】**

소자분리막 양측 상부 코너의 반도체 기판과의 경계면이 라운드된 형태를 갖는 것을 특징으로 하는 트렌치 소자분리막.

**【청구항 2】**

제1항에 있어서, 상기 소자분리막은,

반도체 기판의 트렌치 영역에 매립되어 있는 제1 산화막;

상기 제1 산화막을 둘러싸는 완충막; 및

상기 완충막과 접하면서 상기 트렌치 영역의 양측 상부 코너에 위치하고, 상기 반도체 기판과의 경계면의 모서리 부분이 라운드된 형태를 갖는 열산화막을 포함하는 것을 특징으로 하는 트렌치 소자분리막.

**【청구항 3】**

제1항에 있어서, 상기 소자분리막은,

반도체 기판의 트렌치 영역에 매립되어 있는 제1 산화막;

상기 제1 산화막을 둘러싸는 완충막; 및

상기 완충막과 접하면서 상기 트렌치 영역의 양측 상부 코너에 위치하고, 상기 반도체 기판과의 경계면이 라운드된 버즈빅 형태를 갖는 열산화막을 포함하는 것을 특징으로 하는 트렌치 소자분리막.

**【청구항 4】**

제2항 또는 제3항에 있어서, 상기 반도체 기판은 실리콘 기판, 베리드 산화막 및

단결정 실리콘층이 순차적으로 형성된 SOI 구조의 기판임을 특징으로 하는 트렌치 소자 분리막.

**【청구항 5】**

제4항에 있어서, 상기 트렌치는 단결정 실리콘층과 베리드 산화막 사이의 계면 또는 베리드 산화막과 실리콘 기판 사이의 계면의 깊이까지 형성되어 있는 것을 특징으로 하는 트렌치 소자분리막.

**【청구항 6】**

제2항 또는 제3항에 있어서, 상기 완충막은 고온 산화막, 중온 산화막 또는 PE-산화막으로 이루어진 막임을 특징으로 하는 트렌치 소자분리막.

**【청구항 7】**

제2항 또는 제3항에 있어서, 상기 완충막과 상기 제1 산화막 사이에 라이너를 더 포함하는 것을 특징으로 하는 트렌치 소자분리막.

**【청구항 8】**

제7항에 있어서, 상기 라이너는 실리콘 질화막 또는 붕소 질화막으로 이루어진 막임을 특징으로 하는 트렌치 소자분리막.

**【청구항 9】**

제7항에 있어서, 상기 라이너와 제1 산화막 사이에 제2 산화막을 더 포함하는 것을 특징으로 하는 트렌치 소자분리막.

## 【청구항 10】

제9항에 있어서, 상기 제2 산화막은 고온 산화막, 중온 산화막 또는 PE-산화막으로 이루어진 막임을 특징으로 하는 트렌치 소자분리막.

## 【청구항 11】

- (a) 반도체 기판 상에 패드산화막 및 하드 마스크층을 순차적으로 증착하는 단계;
- (b) 상기 하드 마스크층 및 상기 패드산화막을 사진 식각 공정을 이용하여 패터닝하여 하드 마스크층 패턴 및 패드산화막 패턴을 형성하는 단계;
- (c) 상기 하드 마스크층을 마스크로 상기 반도체 기판의 일부를 식각하여 얇은 트렌치를 형성하는 단계;
- (d) 상기 얇은 트렌치의 내벽에 열산화막을 형성하는 단계;
- (e) 상기 하드 마스크층 패턴을 마스크로 상기 열산화막 및 상기 반도체 기판을 식각하여 깊은 트렌치를 형성하는 단계;
- (f) 상기 깊은 트렌치가 형성된 결과물 전면에 단차를 따라 완충막을 형성하는 단계;
- (g) 상기 완충막이 형성된 깊은 트렌치에 제1 산화막을 채우는 단계;
- (h) 상기 결과물을 평탄화하는 단계; 및
- (i) 상기 하드 마스크층 패턴을 제거하여 소자분리막을 형성하는 단계를 포함하는 것을 특징으로 하는 트렌치 소자분리막 제조방법.

## 【청구항 12】

제11항에 있어서, 상기 (b) 단계 후 상기 (c) 단계 전에, 상기 하드 마스크층 패턴

및 상기 패드산화막 패턴의 측벽에 스페이서를 형성하는 단계를 더 포함하고, 상기 (c) 단계는 상기 하드 마스크층 패턴과 상기 스페이서를 마스크로 사용하여 얇은 트렌치를 형성하고, 상기 (e) 단계는 상기 하드 마스크층 패턴과 상기 스페이서를 마스크로 사용하여 깊은 트렌치를 형성하는 것을 특징으로 하는 트렌치 소자분리막 제조방법.

**【청구항 13】**

제11항에 있어서, 상기 (f) 단계 후 (g) 단계 전에, 상기 완충막이 형성된 결과물 상에 단차를 따라 라이너를 형성하는 단계를 더 포함하는 것을 특징으로 하는 트렌치 소자분리막 제조방법.

**【청구항 14】**

제12항에 있어서, 상기 라이너가 형성된 결과물 상에 단차를 따라 제2 산화막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 트렌치 소자분리막 제조방법.

**【청구항 15】**

제11항에 있어서, 상기 반도체 기판은 실리콘 기판, 베리드 산화막 및 단결정 실리콘층이 순차적으로 형성된 SOI 구조의 기판임을 특징으로 하는 트렌치 소자분리막 제조방법.

**【청구항 16】**

제15항에 있어서, 상기 얇은 트렌치의 깊이는 단결정 실리콘층의 두께보다 작도록 형성하는 것을 특징으로 하는 트렌치 소자분리막 제조방법.

**【청구항 17】**

제15항에 있어서, 상기 깊은 트렌치는 단결정 실리콘층과 베리드 산화막 사이의 계

면 또는 베리드 산화막과 실리콘 기판 사이의 계면의 깊이까지 형성하는 것을 특징으로 하는 트렌치 소자분리막 제조방법.

【청구항 18】

- (a) 반도체 기판 상에 패드산화막 및 하드 마스크층을 순차적으로 증착하는 단계;
- (b) 상기 하드 마스크층 및 상기 패드산화막을 사진 식각 공정을 이용하여 패터닝하여 하드 마스크층 패턴 및 패드산화막 패턴을 형성하는 단계;
- (c) 소자분리막이 형성될 영역인 상기 반도체 기판에 열산화막을 형성하는 단계;
- (d) 상기 하드 마스크층 패턴을 마스크로 상기 열산화막 및 상기 반도체 기판을 식각하여 깊은 트렌치를 형성하는 단계;
- (e) 상기 깊은 트렌치가 형성된 결과물 전면에서 단차를 따라 완충막을 형성하는 단계;
- (f) 상기 완충막이 형성된 깊은 트렌치에 제1 산화막을 채우는 단계;
- (g) 상기 결과물을 평탄화하는 단계; 및
- (h) 상기 하드 마스크층 패턴을 제거하여 소자분리막을 형성하는 단계를 포함하는 것을 특징으로 하는 트렌치 소자분리막 제조방법.

【청구항 19】

제18항에 있어서, 상기 (b) 단계 후 상기 (c) 단계 전에, 상기 하드 마스크층 패턴 및 상기 패드산화막 패턴의 측벽에 스페이서를 형성하는 단계를 더 포함하고, 상기 (d) 단계는 상기 하드 마스크층 패턴과 상기 스페이서를 마스크로 사용하여 깊은 트렌치를 형성하는 것을 특징으로 하는 트렌치 소자분리막 제조방법.

**【청구항 20】**

제18항에 있어서, 상기 (e) 단계 후 (f) 단계 전에, 상기 완충막이 형성된 결과물 상에 단차를 따라 라이너를 형성하는 단계를 더 포함하는 것을 특징으로 하는 트렌치 소자분리막 제조방법.

**【청구항 21】**

제20항에 있어서, 상기 라이너가 형성된 결과물 상에 단차를 따라 제2 산화막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 트렌치 소자분리막 제조방법.

**【청구항 22】**

제18항에 있어서, 상기 반도체 기판은 실리콘 기판, 베리드 산화막 및 단결정 실리콘층이 순차적으로 형성된 SOI 구조의 기판임을 특징으로 하는 트렌치 소자분리막 제조방법.

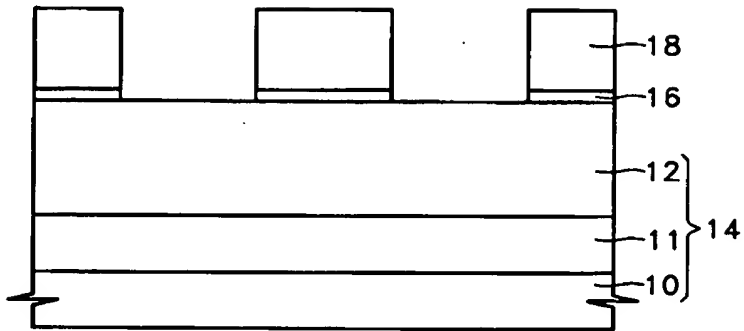
**【청구항 23】**

제22항에 있어서, 상기 깊은 트렌치는 단결정 실리콘층과 베리드 산화막 사이의 계면 또는 베리드 산화막과 실리콘 기판 사이의 계면의 깊이까지 형성하는 것을 특징으로 하는 트렌치 소자분리막 제조방법.

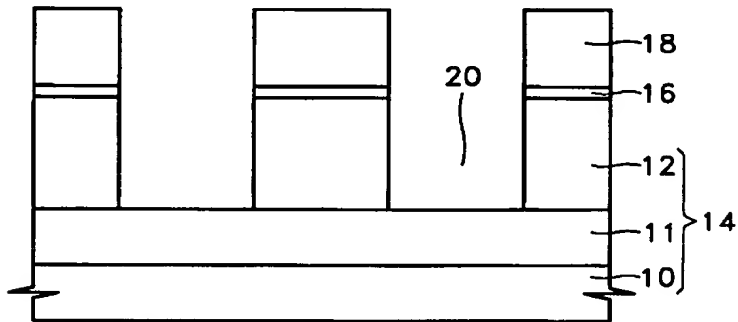


【도면】

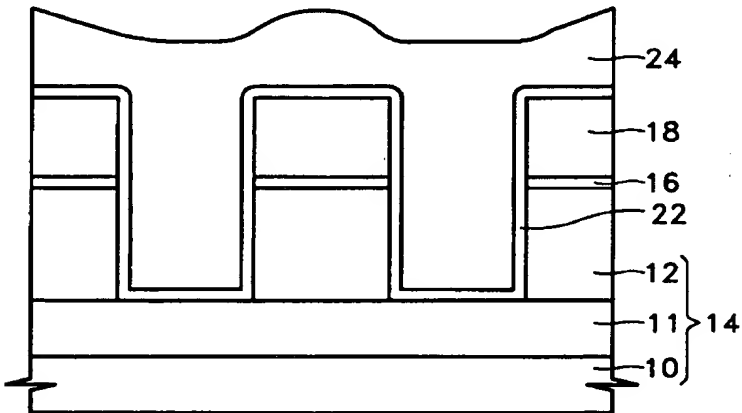
【도 1】



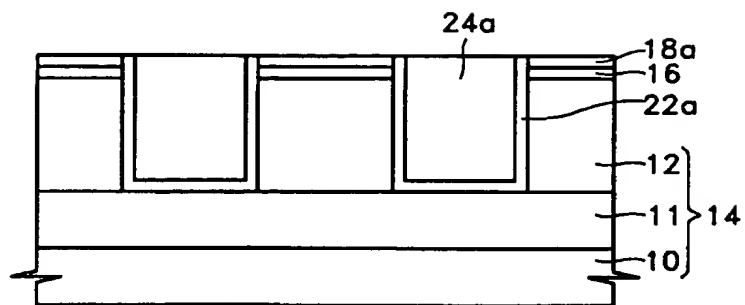
【도 2】



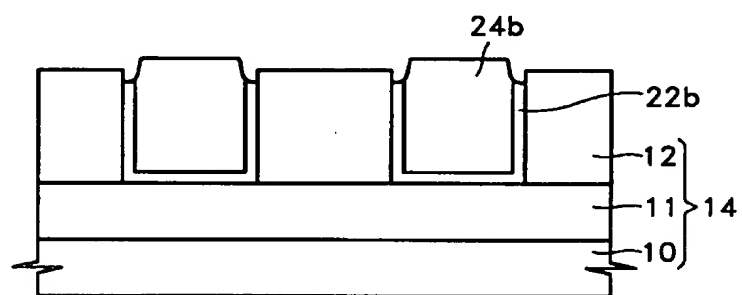
【도 3】



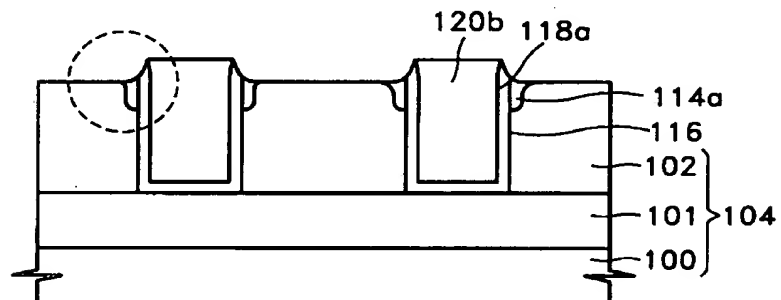
【도 4】



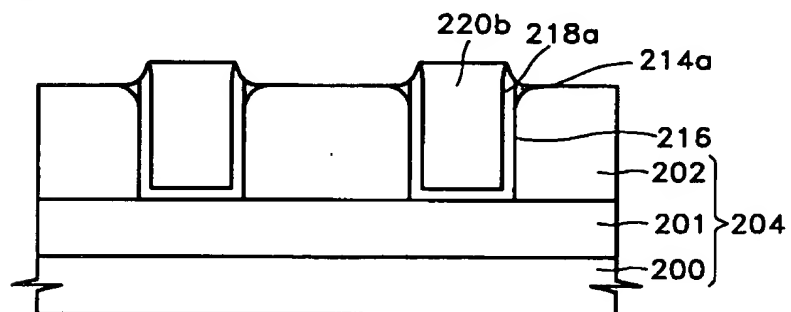
【도 5】



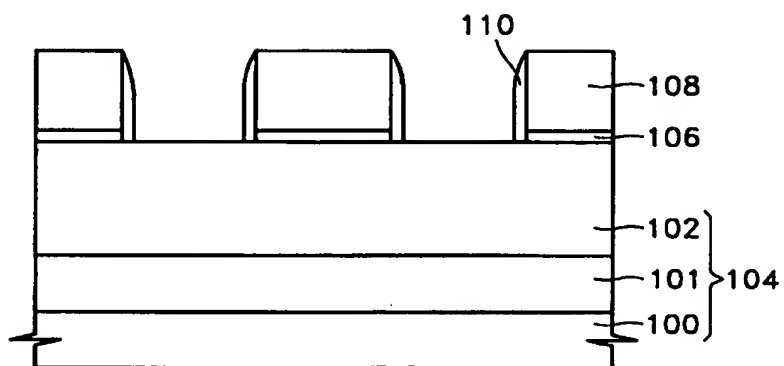
【도 6】



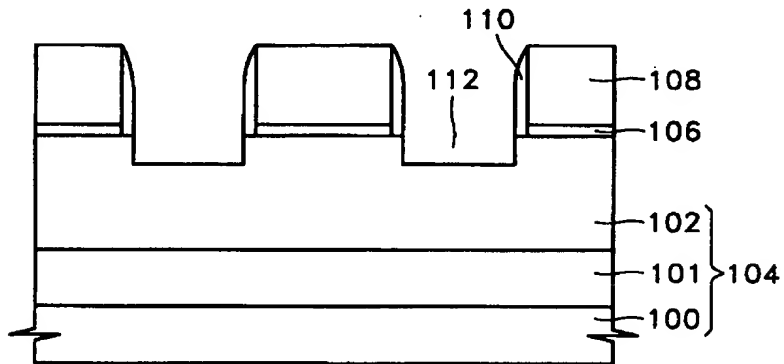
【도 7】



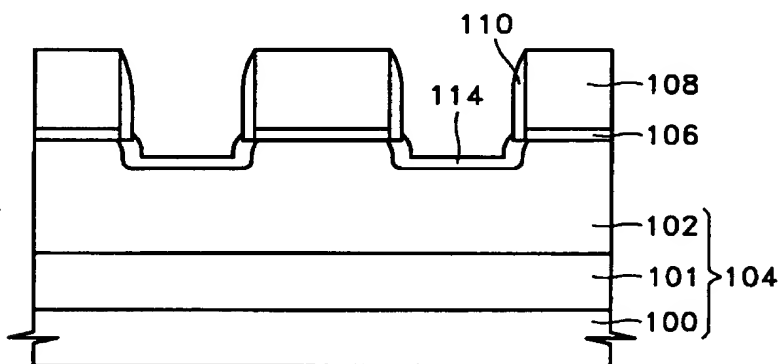
【도 8】



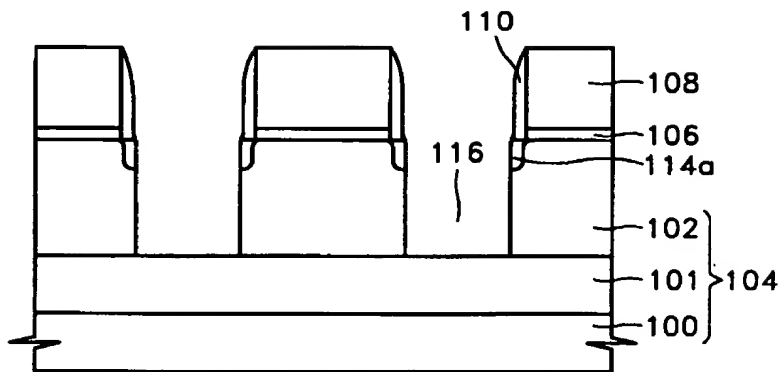
【도 9】



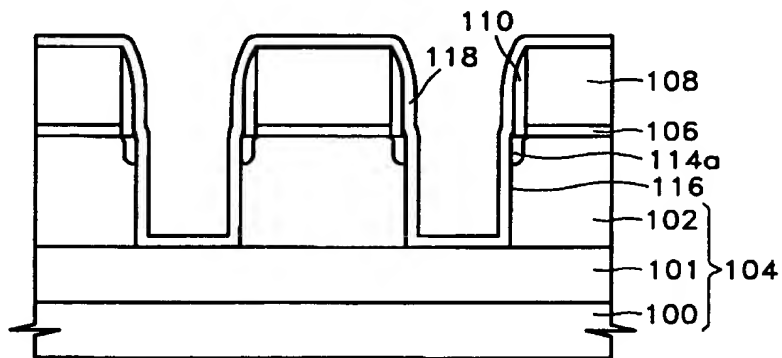
【도 10】



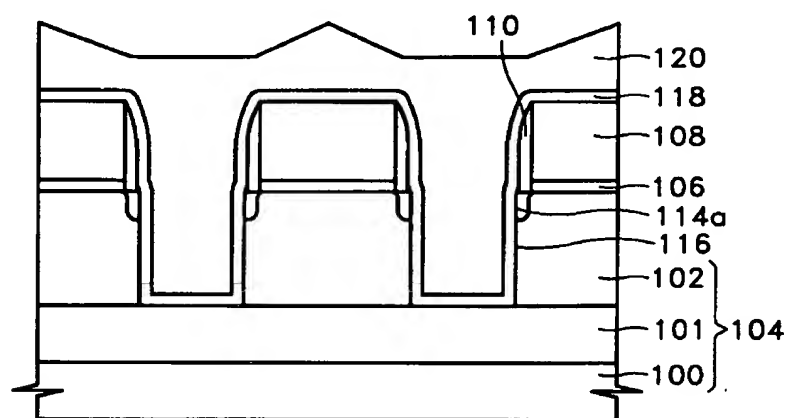
【도 11】



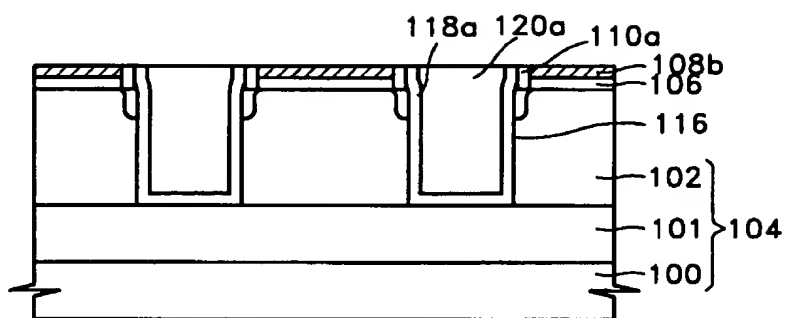
【도 12】



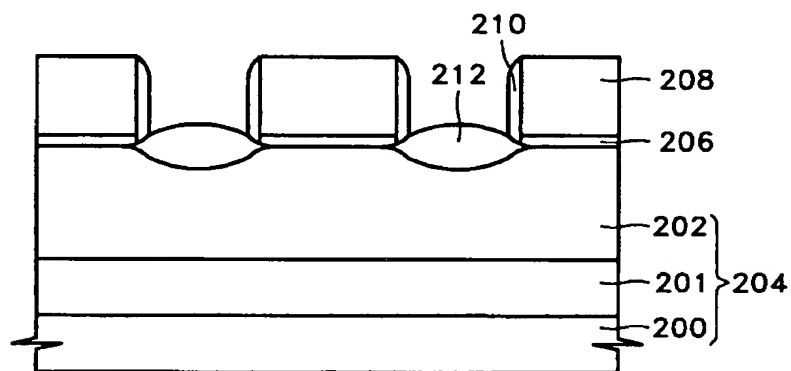
【도 13】



【도 14】



【도 15】



【도 16】

